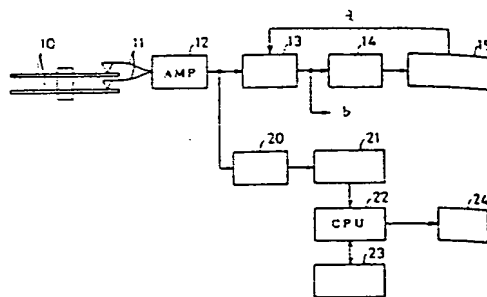


**(54) MAGNETIC DISK DEVICE**

(11) 63-239651 (A) (43) 5.10.1988 (19) JP  
 (21) Appl. No. 62-71889 (22) 27.3.1987  
 (71) TOSHIBA CORP (72) YASUMASA NAKANO  
 (51) Int. Cl. G11B19/04

**PURPOSE:** To let the user have time to spare for evading the data recorded in a magnetic disk device to other storage device by detecting a portent of a crash in response to the changing state of a readout signal from a magnetic head and outputting it, if detected, to alarm the abnormality to the external.

**CONSTITUTION:** Whenever data write and read operations are performed on a magnetic disk device, a signal output of same data repeating part in a header region is checked by a CPU 22 based on a digital value of an A/D converter 21. Then, the signal output which was just checked and an initial signal output stored in a memory 23 are comparatively calculated, and if the calculated result is less than a fixed value properly set in advance, the output signal is sent out to an annunciator 24 for alarming the abnormality. Consequently, the annunciator 24 indicates the occurrence of the crash. By this method, in the case of a crash to be in progress toward the impossibility of readout of the whole data in the device, the abnormality can be alarmed to the external.



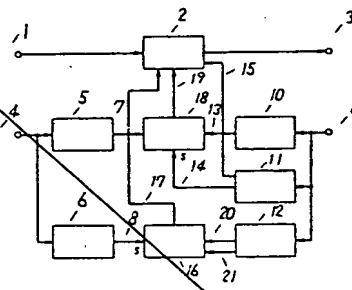
13: AGC circuit. 14,20: smoothing circuit. 15: voltage follower amplifier. a: control voltage Vc. b: to data discriminating circuit

**(54) MEMORY CONTROLLER**

(11) 63-239652 (A) (43) 5.10.1988 (19) JP  
 (21) Appl. No. 62-72448 (22) 26.3.1987  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KAZUHIRO KATAOKA(1)  
 (51) Int. Cl. G11B20/02, H04N5/95

**PURPOSE:** To obtain a memory controller suitable for an IC application useful for frame memory, etc., by selecting a write request signal of the write request signals provided in two systems within a period of a read cycle by the phase relation of a write clock with a read clock.

**CONSTITUTION:** In the case of writing input data 1 generating asynchronously with the read clock 9 corresponding to the read cycle for data from a memory circuit 2, to the memory circuit 2 by using a gap of the read cycle; write cycles are provided as  $\geq 2$  systems in the gap of the read cycle. The write request signals of  $\geq 2$  systems corresponding to the write cycles of  $\geq 2$  systems are selected to be a write request signal of either one of the systems only to supply the memory circuit 2 by the phase relation of the write clock 4 for the input data 1 against the read clock 9. By this method, a simple constitution can be achieved without influencing the scale of a circuit by increasing the number of memory addresses without using any analog circuits in mono- or multi-circuits, etc.



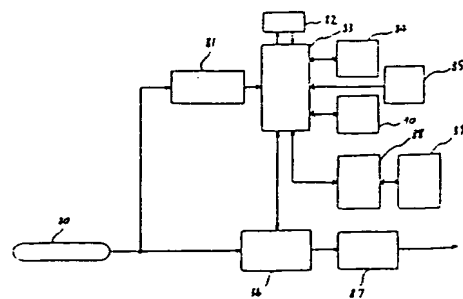
3: output data. 5: write address generating circuit. 6: edge detecting circuit. 10: read address generating circuit. 11: read request generating circuit. 12: write request generating circuit. 16: selecting circuit. 18: switch

**(54) DIGITAL RECORDING CONTROL MECHANISM**

(11) 63-239653 (A) (43) 5.10.1988 (19) JP  
 (21) Appl. No. 62-73506 (22) 27.3.1987  
 (71) CLARION CO LTD (72) KENICHI OZAWA(1)  
 (51) Int. Cl. G11B20/10

**PURPOSE:** To impartially collect royalties of a copyright from those users only whose purposes are for the dubbing under their obligations to pay the royalties by composing an information readout means to read out a bit of recording license information stored in a medium, a detector circuit to detect a recording restriction signal contained in an input signal and so forth and executing the discrimination accordingly.

**CONSTITUTION:** When an Rec operation signal is inputted by an operation inputting means 35 into a control circuit 33, the control circuit 33 discriminates if the recording restriction signal is contained in the input signal 30 by the detector circuit 31, and if this signal is not contained, an Rec mode is immediately designated for a system control circuit 38 and also a signal processing circuit 36 respectively. This condition is referred to as no signal of the input signal or a natural sound without involving in the copyright. And, when a signal containing the recording restriction signal is inputted, and if no recording license information is stored in a memory 32 the Rec mode is immediately stopped. By this method, at the time of dubbing such information only as an object for payment of a royalty of its copyright, a medium for the recording license information is essential such as a card, etc., thus ensuring the impartial collection of the royalty of copyright.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-239653

⑬ Int.Cl.<sup>4</sup>  
G 11 B 20/10

識別記号 庁内整理番号  
H-6733-5D

⑭ 公開 昭和63年(1988)10月5日

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 デジタル記録制御機構

⑯ 特 願 昭62-73506

⑰ 出 願 昭62(1987)3月27日

⑱ 発 明 者 尾 沢 憲 一 東京都文京区白山5丁目35番2号 クラリオン株式会社内  
⑲ 発 明 者 岡 田 和 志 東京都文京区白山5丁目35番2号 クラリオン株式会社内  
⑳ 出 願 人 クラリオン株式会社 東京都文京区白山5丁目35番2号

#### 明 細 書

#### 1. 発明の名称

デジタル記録制御機構

#### 2. 特許請求の範囲

記録制限信号を含んだ入力信号をデジタル記録する際の記録動作に所定の記録制限を与えるデジタル記録制御装置に於いて、

- (a) 記録許可情報を保有する媒体と、
- (b) 該媒体に保有された記録許可情報を読出す情報読出し手段と、
- (c) 上記記録制限信号を検出する検出回路と、
- (d) 上記情報読出し手段により読出された記録許可情報と、上記検出回路により検出された記録制限信号との信号入力に伴なって、上記入力信号の記録制限を解除する記録制御回路と、より構成されることを特徴としたデジタル記録制御機構。

#### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、デジタル録音方式ビデオやディジ

タルオーディオテープレコーダといったデジタル記録装置に関するものであり、更に詳しくは、デジタル方式で出力された情報信号を上記デジタル記録装置によって直接的にデジタル記録する際の制御を行なう、デジタル記録制御機構に関するものである。

〔従来の技術と問題点〕

近年映像機器やオーディオ機器の分野では、従来のアナログ方式による記録からデジタル方式による記録へと急速に移行しつつある。現在映像情報を提供するソフトウェアとしては、例えばレーザービジョン方式のディスクがあり、またオーディオ情報については、CD(コンパクトディスク)が広く普及している。これらのディスクに代表されるソフトウェアは情報の読出し専用として製作された所謂ROMであり、ユーザーはこれらの情報を複製する必要がある場合には、上記ディスクを購入し、例えばビデオテープレコーダやカセットレコーダといった従来の機器により、アナログ方式で複製記録(ダビング)を行なってい

た。しかし、アナログ方式のダビングを行なう場合、これを繰り返す毎にノイズが混入し、情報価値は微減してしまうため、例えばデジタルオーディオテープレコーダ(DAT)の様なデジタル記録装置が開発された。

これらの装置は画質または音質を劣化させることなくダビングすることができるので、ソフトウェアを購入するユーザー側から見れば非常に便利なものであるが、他方ソフトウェアを供給する側からすると、混入ノイズの無いオリジナルと全く同等の複製品が大量に出まわることにより著作権収入が激減し、正に死活問題にまで発展して来ている。これに対処するため記録用のテープを購入する際に、その販売価格に予め著作権料を上乗せして販売する方式も一部で採用されているが、これによると、例えば自然音や自己創作音源を記録したテープをダビングしたりする著作権料の支払い義務を持たないダビングを目的としたユーザーからも一律に著作権料を徴収する不都合が生じ、その問題点が指摘されている。

ある。

アナログ録音をする場合は、録音再生切換スイッチ18が録音端子6側に接続され、アナログ入力端子1からの入力信号は入力アンプ5、A/Dコンバーター6を経て信号処理LSI12に導かれ、誤り訂正符号の挿入やインターリーブ処理および8-10変換を受けた後、録音アンプ13で増幅されて回転ヘッド23から磁気テープに記録される。

デジタル録音の場合、入力信号はデジタル入力端子3から復調用インターフェース10を経て信号処理LSI12に導かれ、後は上記アナログ録音の場合と同じ処理が行なわれる。

磁気テープに記録された情報を再生する場合、録音再生切換スイッチ18が再生端子17に接続され、回転ヘッド19で読取られた信号が再生アンプ15からイコライザー14を経て信号処理LSI12へ導かれる。ここで、8-10逆変換とデ・インターリーブ処理および誤り訂正処理が行なわれ、アナログ出力の場合はD/Aコンバータ

#### 【発明の目的】

本発明は、上記従来技術に係る問題点に鑑みて成されたものであり、著作権料の支払い義務を持ったダビングを目的とするユーザーのみから、公正に著作権料を徴収することを可能とするデジタル記録制御機構を提供するものである。

#### 【問題を解決するための手段】

上記目的を達成するために本発明は、記録許可情報を保有する媒体と、該媒体に保有された記録許可情報を読出す情報読出し手段と、入力信号に含まれる記録制限信号を検出する検出回路と、前記情報読出し手段により読出された記録許可情報及び前記検出回路により検出された記録制限信号との信号入力に伴なって前記入力信号の記録制限を解除する記録制御回路と、より構成されることを要旨とする。

#### 【実施例】

本発明の一実施例を、デジタルオーディオテープレコーダ(DAT)を例にとって説明する。第1図は本発明を適用可能なDATの基本構成で

ー9からローパスフィルター8、出力アンプ7を経てアナログ出力端子2から出力され、デジタル出力の場合は変調用インターフェース11を経てデジタル出力端子4から出力される。

この様な録音再生を含む一連の動作の制御は、操作手段23や情報読出し手段21からの情報を受けて制御回路22が統括して行なっている。そして上記の動作並びに操作状況は、表示手段20に於いて表示される。

次に本発明に適用可能な情報読出し手段の一実施例として、カード処理装置を説明する。第2図および第3図は、前記カード処理装置の概略断面図である。装置の外部筐体50の前にある挿入口50aから磁気カード61が進入すると、発光素子51と受光素子60との間の光が遮断されて上記進入が検知され、搬送ローラ対52・59が磁気カード61を奥側へ送り込むよう回転を開始する。ピン54で支持された板ばね53によって下方へ付勢されている磁気ヘッド55とその下側に位置する対向ローラ57との間へと、ガイド対5

8および56が磁気カード61を案内する。この時、即ち磁気カード61が磁気ヘッド55と対向ローラ57との間を奥側に向けて搬入されている時、磁気ヘッド55は磁気カード61に記録されている記録許可情報を読取り、メモリーに保存される。

ここで言う記録許可情報とは、ディジタル記録の記録時間や記録回数等と比例関係を持つ情報であり、例えば、直接時間を示すシリアルなビット信号とすることができる。

前述の如く、磁気ヘッド55で記録許可情報を読取りながら搬入された磁気カード61の後端の通過が、発光素子51と発光素子60とによって第3図の如く検知されると、搬送ローラ対52・59が停止して磁気カード61を静止保持する。この状態でDAT装置本体側においてディジタル方式によるダビングが行なわれ、このダビングに要した時間に対応した信号の総和が上記磁気カード61搬入時にメモリーに読込まれた初期の信号より消去され、新たな記録許可情報としてメモリ

ーに保存される。

具体的には、初期に読み込まれた記録許可情報（以下時間情報と称する。）を $T_i$ 、新たな時間情報を $T_f$ 、1回目のダビングに要した時間を $t_1$ 、2回目のダビングに要した時間を $t_2$ とすると、 $T_f = T_i - (t_1 + t_2)$ で表わされる。

DAT装置におけるダビングが終了すると、搬送ローラ対52・59が搬入時とは逆方向に回転し始め、磁気カード61の搬出を開始する。この際、磁気ヘッド55が移動する磁気カード61に対して上記新たな時間情報 $T_f$ を書き込みつつ、磁気カード61は排出口50aから排出される。

以上、カード処理装置の一実施例についてその動作を説明したが、次に各曲または一まとまりのデータをダビングするのに要する記録制限情報について説明する。ここで言う記録制限情報とは、曲またはデータが著作権を有するものである事を示す情報で、例えば、曲またはデータの一部に読込まれている。第4図はDATテープの記録状態を示す部分拡大図である。DATテープ70の

両端部近傍には、固定ヘッド方式のDAT用に確保された補助トラック75a・75bがあり、それらの間に挟まれる様にトラック71が斜行記録されている。各トラック71には両端部側から順にサブコードエリア72a・72b、ATFエリア73a・73bおよびPCMエリア74が代表的なエリアとして設けられており、この内PCMエリア74には各種制御のための情報としてのサブコードがある。このサブコードの一部には、コピー禁止か否かを示す信号が記録されており、これを記録制限情報とすることができる。また、このサブコードの一部であるオーグジャリコード中には、将来における情報付加に備えて空スペースが確保されており、ここに記録制限情報を記録しておくこともできる。またサブコードエリア72a・72bにも各種制御情報の記録が可能であるが、現行規格においてはユーザーによる情報の書き換えが可能であり、何らかの対処が必要である。何れにしても記録制限情報の不正な書き換えが防止できる位罫であれば、何処に記録されていても構

わない。

次にCD（コンパクトディスクプレーヤー）からダビングする場合の記録制限情報について説明する。第5図はCDのディジタル出力から出される信号構成を示す模式図である。CDからのディジタル出力はシリアル伝送方式が採られており、1ワードと称されるL信号 $L_1$ 、 $L_2$ 、 $L_3$ とR信号 $R_1$ 、 $R_2$ 、 $R_3$ が各32ビットで交互に配列されたシリアル信号76として伝送される。1ワードを示すL信号 $L$ を代表させて更にその内訳を説明すると、4ビットの同期信号77と24ビットのオーディオデータ信号78および4ビットの制御信号79で構成されている。この内現行規格においては、制御信号79の中にコピー禁止の有無を示す信号が記録されており、これを記録制限情報とすることができる。また、オーディオデータ信号78の24ビット中、CD信号は16ビットであり、残り8ビットのスペースは将来の拡張に備えて空けてあるので、このスペースに記録制限情報の記録が可能である。この様にCDの現行

規格に依っても記録制限情報の記録は可能だが、将来別種の規格が定められた場合は記録制限情報専用のエリアを設けると好適である。

これらのエリアに対する記録制限情報の記録にも、幾通りかの方法が考えられる。その1は、ひとまとまりの情報、例えば音楽であれば1曲分とか1楽章分といった情報ブロックの先頭部分に記録制限情報を記録する方法であり、その2は前記情報ブロックを更に十分細かい単位情報ブロックに分割して、その単位情報ブロック毎に記録制限情報を記録する方法である。後者の方法によれば、曲や楽章の途中から記録を開始しても実用上十分な精度で所要記録制限情報の演算を行なうことができる。

さて、第6図は、本発明の具体的回路ブロック図を示す。第6図に示されるように入力信号80は、誤り訂正符号挿入処理、インターリーブ処理、8-10変換処理、ならびにATF信号加算処理等を行なう信号処理回路86を経て、記録回路87へ送られる。他方、入力信号80は、記録制限

信号を検出する検出回路81を経て、制御回路83に送られる。この制御回路83は、検出回路81からの入力値、媒体読取り手段84、操作入力手段85、媒体読取り手段84からの記録許可情報信号を記憶/読出し可能なメモリー82、記録時間等を計数する計数回路90、メカニズム89を制御するシステムコントロール回路88、ならびに信号処理回路86が入力される。

第7図は、検出回路80の具体例を示すブロック図である。図に示されるように、カウンタ92の入力端子には発振器90の基準パルスが接続され、入力信号中の同期信号を検出する同期信号検出回路91の同期信号の立上り信号がカウンタ92のRESET端子に入力されることにより、カウンタ92は基準パルスのカウントを開始する。尚、このカウンタ92は、RESET信号が入力されてから出力信号を出力する時間と入力信号80の同期信号が立上ってから記録制限信号が到来するまでの時間とが一致する如くカウント値が設定されている。アンドゲート93は、カ

ウンタ92の出力と入力信号80が接続され、カウンタ92の出力により入力信号80の内、記録制限情報が到来すべきタイミングのみゲートを開くことに成る。よって、この検出回路80はアンドゲート93の開放時に入力信号中に記録制限情報が入っていればワンショットマルチバイブレータ94がパルスを制御回路83に出力するように構成されている。

第8図は、計数回路90の具体例を示すブロック図である。図に示されるように制御回路83からのRecモード信号と記録制限信号がアンドゲート97に入力されると、発振器95の基準信号がアンドゲート96を介してカウンタ97に入力される。よって、この計数回路90はカウンタ97が計数を行ない、所定カウント毎に制御回路83へ計数信号を出力するように構成されている。

第9図は、計数回路90の他の具体例を示すブロック図で、例えば、CDの場合には1ワード毎、DATの場合には各トラック毎、あるいは

単位ブロック毎に記録制限信号が記録されている場合に好適な実施例である。

まず、第7図に示される検出回路に周期的記録制限信号が到来すると、検出回路からは周期的にパルス信号が制御回路83に入力され、この周期的記録制限信号と、Recモード作動を示す信号と、が第9図に示されるようにアンドゲート96に入力される。従って、アンドゲート96からは、Recモード作動中でもパルス信号状の記録制限信号入力時のみ、パルス信号をカウンタ97へ出力する。よって、カウンタ97は入力されたパルス信号を所定数計数する度に制御回路83へ計数信号を出力する。

以下に本発明の実施例の動作を説明する。

操作入力手段85によりRec操作信号が制御回路83に入力されると、制御回路83は入力信号80に記録制限信号が含まれているかを判別する。すなわち、検出回路81からの出力信号有無を判別し、該出力信号が無ければ直ちにシステムコントロール回路88ならびに信号処理回路にR

。cモードを指令する。この状態は、入力信号が無信号、あるいは著作権に係わらない自然音である場合に相当する。

そして、入力信号に記録制限信号を含んだ信号が入力されると、メモリー82に記録許可情報がなければ、直ちにR。cモードは停止される。ここで、上記許可情報が保有されていれば、R。cモードを継続する。

次に、計数回路90は記録制限信号が検出され、しかもR。cモード状態の場合に計数を作動し、所定計数毎に制御回路83に信号を出力する。そして、計数回路90より信号が出力されると制御回路83は、メモリー82の記録許可情報を減算し、STOP操作がされるまでこれを繰り返す。STOP操作されると、計数回路90の計数が停止されるとともに、メモリー82に保有されている残りの記録許可情報が読出されて、制御回路83より、媒体読出し手段84を介して媒体に残りの記録許可情報が書き込まれ、続いてR。cモードが停止される。以上の動作を要するフローチャ

ートを第10図に示す。

以上幾つかの実施例を挙げて本発明の説明を行ったが、本発明の機構はこれらに限定されるものではない。

また、記録許可情報の媒体として磁気カードを例にとって説明したが、ICカードや磁気テープカセット等、記録許可情報の読み出しと書き込みができる物であれば何でも良い。

更に、本実施例ではDATを例にとって音声情報のダビングについて説明して来たが、CD-ROMによる電子出版等の各種資料情報のダビングや、VTRやDATテープのサブコードエリアに画像信号を記録した場合等の画像情報のダビングについても、何の不都合も無く適用できる。

【発明の効果】

以上説明した如く、本発明によれば、著作権料の支払い対象情報をダビングする時のみカード等の記録許可情報の媒体が必要であり、公正な著作権料の徴収を可能とするものである。

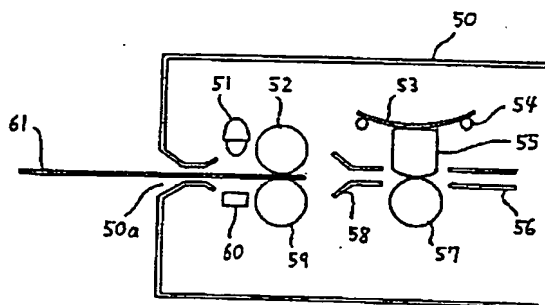
4. 図面の簡単な説明

第1図は本発明を適用し得るDATの基本構成図、第2・3図はカード処理装置の概略断面図、第4図はDATテープの記録状態を示す部分拡大図、第5図はCDのデジタル出力信号の構成を示す模式図、第6図は本発明に係るブロック図、第7図は同検出回路の具体的ブロック図、第8図は同計数回路の具体的ブロック図、第9図は同計数回路の他の具体的ブロック図、第10図は同動作フローチャート図である。

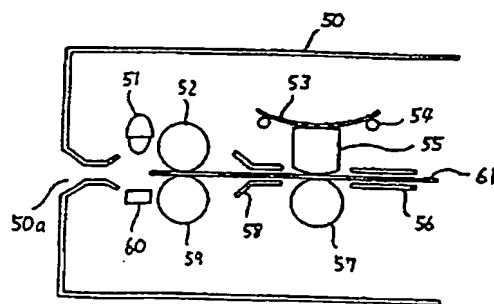
- 80…入力信号、81…検出回路、
- 82…メモリー、83…制御回路、
- 84…媒体読取り手段、85…操作入力手段、
- 86…信号処理手段、
- 88…システムコントロール回路、
- 89…メカニズム。

出願人 クラリオン株式会社

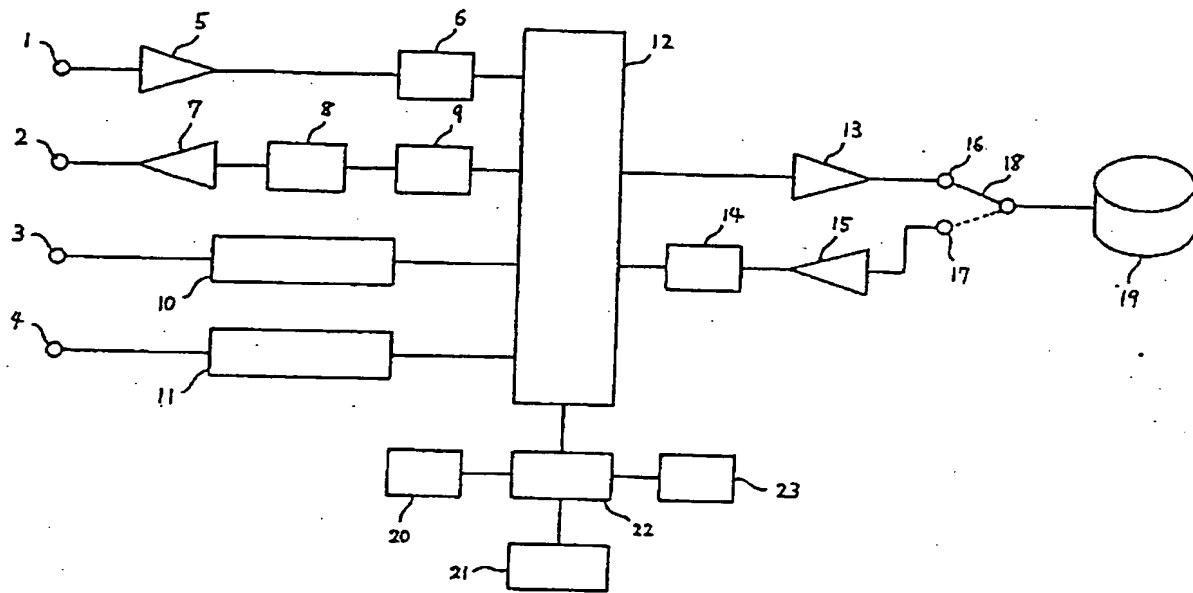
第2図



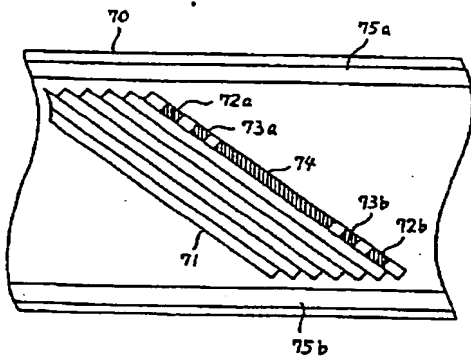
第3図



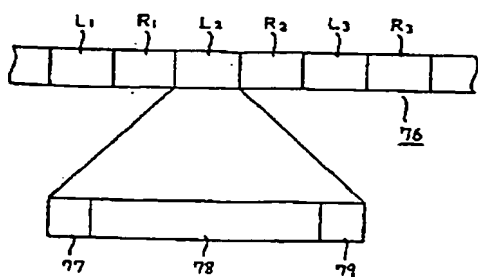
第1図



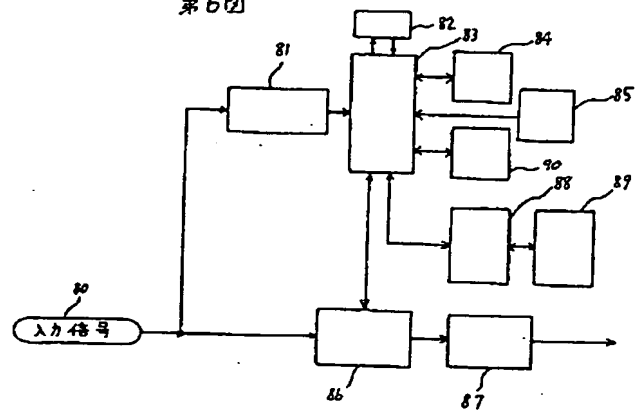
第4図



第5図



第6図



第7図

